

11.07.00

#2

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 6月17日

REC'D 21 JUL 2000

出 願 番 号

Application Number:

平成11年特許願第171557号

出 願 人

Applicant (s):

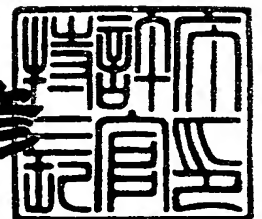
株式会社日立製作所

PRIORITY  
DOCUMENTSUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月23日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3047542

【書類名】 特許願

【整理番号】 PNT980878

【提出日】 平成11年 6月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/8247

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 松岡 秀行

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 木村 紳一郎

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 山中 俊明

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 可知 剛

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100061893

    【弁理士】

    【氏名又は名称】 高橋 明夫

    【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 011626

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置。

【請求項 2】 半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置。

【請求項 3】 半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に複数の絶縁ゲート型電界効果型トランジスタ（M I S F E T）で構成された周辺回路が配置され、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が前記半導体基体内に存在することを特徴とする半導体記憶装置。

【請求項 4】 前記メモリセルを形成する不純物を含む複数の半導体層は、P型とN型の導電型の異なる 2 つの半導体層を有することを特徴とする請求項 1 より請求項 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 前記メモリセルの有する前記導電体層は、前記周辺回路における絶縁ゲート型電界効果型トランジスタ（M I S F E T）のゲート電極につながる導電体層であることを特徴とする請求項 3 より請求項 4 のいずれかに記載の半導体記憶装置。

【請求項 6】 前記メモリセルの有する前記絶縁体層は、前記周辺回路においては絶縁ゲート型電界効果型トランジスタ（MISFET）の絶縁膜につながる絶縁体層であることを特徴とする請求項 3 より請求項 4 のいずれかに記載の半導体記憶装置。

【請求項 7】 前記メモリセルの有する絶縁体層は、バンドギャップの異なる絶縁膜の積層膜であることを特徴とする請求項 1 より請求項 6 のいずれかに記載の半導体記憶装置。

【請求項 8】 前記メモリセルを形成する絶縁体層は、シリコン酸化膜とシリコン窒化膜の積層膜からなり、かつ前記シリコン酸化膜はシリコン基板に形成された P 型半導体層に接して存在することを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】 前記メモリセルの有する前記不純物を含む複数の半導体層の内、少なくとも 1 つは半導体基体内において、前記ワード線と垂直方向に延在して存在することを特徴とする請求項 1 より請求項 8 のいずれかに記載の半導体記憶装置。

【請求項 10】 前記メモリセルの有する前記不純物を含む複数の半導体層の内、前記メモリセルを形成する絶縁体層に接する層は、メモリセル毎に分離されて存在することを特徴とする請求項 1 より請求項 8 のいずれかに記載の半導体記憶装置。

【請求項 11】 前記メモリセルを形成する、不純物を含む複数の半導体層の内、最下に形成された層に対して、導電プラグが電氣的に接続されていることを特徴とする請求項 1 より請求項 8 のいずれかに記載の半導体記憶装置。

【請求項 12】 シリコンオンインシュレータ基板上に形成されたことを特徴とする請求項 1 より請求項 8 のいずれかに記載の半導体記憶装置。

【請求項 13】 メモリセルアレー領域において、複数のビット線が 1 つのセンスアンプを共用していることを特徴とする請求項 1 より請求項 13 のいずれかに記載の半導体記憶装置。

【請求項 14】 バイステابلダイオードを半導体基板内に有する半導体装置

【請求項 1 5】 半導体基板内にメモリ素子部が設けられ且つ記憶容量が 2 5 6 メガ・ビット以上であることを特徴とする半導体記憶装置。

【請求項 1 6】 半導体基体に、素子を電気的に分離するための素子分離領域を形成する工程、メモリセルアレー領域において、高エネルギーイオン打ち込みにより、基板内部に不純物拡散層を形成した後に、基板表面に絶縁膜を形成する工程、メモリセルアレー領域においてはワード電極を、周辺回路領域においては絶縁ゲート型電界効果型トランジスタ (M I S F E T) のゲート電極を形成する工程、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板をエッチングすることにより、メモリアレーをセル毎に分離する工程、層間絶縁膜を堆積した後、コンタクトホールを開口し、前記コンタクト内部へ導電体を埋込む工程、メモリセルアレー領域においてはビット線を、周辺回路領域においてはローカル配線層を形成する工程を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に関するものである。

【0 0 0 2】

【従来技術】

これまで、3年に4倍のペースで集積化の向上を実現してきたダイナミックランダムアクセスメモリ (DRAM: Dynamic Random Access Memory) は、近年のパーソナルコンピュータの爆発的な売上に牽引されて、その需要はますます高まりつつある。既に、16メガビットの量産はピークを過ぎ、現在は、次世代の微細加工技術である 0. 2  $\mu$  m さらにそれ以下の寸法を使用する 6 4 メガビットの量産化に向けた開発が進行している。

【0 0 0 3】

1 6 Kb から現在まで製品化されている DRAM のメモリセルは、図 1 に示すように、スイッチとしてのトランジスタ 5 0 と情報電荷を蓄積するキャパシタ 5 1 から構成され、1 トランジスタセルと呼ばれている。このメモリセルにおいては、デ

ータ線BLに読み出される信号電圧は、キャパシタ51の容量Csとデータ線BLの寄生容量Cdの比で決まる。またセルの情報電圧は、情報を読み出すことによりデータ線の電圧に充電されるので破壊読みだしであり、データの再書き込みというリフレッシュ動作が必要である。尚、図中WLはワード線である。

#### 【0004】

このメモリセルにおける最大の課題は、セル信号電圧とソフトエラー耐性という2つの観点から、必要十分なキャパシタ容量Csを確保することである。この課題を解決すべく、メモリセルは図2に示すように、立体構造となり、必要十分な蓄積容量を確保するために、微細化と共にキャパシタの高さは増大の一途をたどってきた。図2にはメモリアレー部60と周辺回路部61の一部の断面が示されている。前述のように、メモリセルのキャパシタ63はその容量を確保するため、高さが高くなる。

#### 【0005】

しかし、キャパシタ高さの増大は、メモリアレー部60と周辺回路部61の間に高段差を生み、リソグラフィをはじめとするプロセスマージンを著しく低下させる。それが製造コスト増大に直接結びつく結果となっている。256Mビット以降のDRAMでは、この問題は益々深刻になることが必須である。こうした背景から、従来の1トランジスタセルに代わる、キャパシタの不要なメモリセルへの期待は高い。

#### 【0006】

##### 【発明が解決しようとする課題】

以上のように、記憶容量が256Mビット以降のDRAMでは、従来の1トランジスタセルはその増大するキャパシタの高さ故の物理的な理由によって、実現はかなりの困難が予想される。本願発明はこうした現在の背景を根本的な転換を図ろうとするものである。

#### 【0007】

##### 【課題を解決するための手段】

本発明は、こうした問題を解決すべく、従来の1トランジスタセルに代わり、キャパシタの不要なバイステイブルダイオードをメモリセルとして用いた、半導

体記憶装置及びその製造方法を提案するものである。本願発明によれば、半導体記憶装置におけるセル面積が極めて小さく高集積化可能である。更にリフレッシュが不要なロジックとの混載に好適な半導体記憶装置及びその製造方法を提案することが出来る。本発明は、より具体的にはセル面積が極めて小さく高集積化可能なランダムアクセスメモリ（RAM）を提供することが出来る。

## 【 0 0 0 8 】

まず、本願発明の基本思想を、その理解を容易ならしめる為、。図面を用いて説明する。

## 【 0 0 0 9 】

本発明に用いるバイステイブルダイオードは図 3 の（a）のような構造を有している。即ち、その基本構造は、導電体層（1）／絶縁膜層（2）／n型シリコン層（3）／p型シリコン層（4）の積層構造を有している。尚、n型シリコン（3）とp型シリコン（4）の積層順番が入れ替わったものに対しても、極性が逆になるだけで、ほぼ同じ議論が適用できる。

## 【 0 0 1 0 】

さて、図 3 の（a）に示した構造において、p型シリコン 4 に正のバイアスを印加していく。初期には、絶縁体（2）／n型シリコン（3）界面において、n型シリコンのバンドが曲げられる。しかし、この場合、それらの界面に正孔が蓄積されない為、半導体結晶の表面は空乏層 5 が形成される。図 3 の（b）に示したように、所謂ディープディプレッション状態となる。この結果、印加電圧の大半が、絶縁体（2）／n型シリコン（3）界面に形成される表面空乏層に印加される。従って、絶縁膜（2）にかかる電圧が弱いために、前記絶縁膜を介してキャリアの移動、例えばトンネル効果（図中には小さなトンネル電流 6 を矢印で示した）が阻止され、メモリセルは高抵抗状態となる。図にはトンネル膜への印加電圧を符号 9 で示した。以下、前記絶縁膜を介してのキャリアの移動は、いわゆるトンネル効果による移動をもって説明する。

## 【 0 0 1 1 】

さらに、p型シリコンに印加する電圧を増大させると、基板内部に形成されたPN接合 7 からの正孔電流が増大し、図 3 の（c）に示したように、絶縁体（2



) / n型シリコン (3) 界面に反転層 8 が形成され、印加電圧の大部分が絶縁膜 (2) にかかることになる。この結果、導電体 (1) からの電子のトンネルが可能になり、導電体 (1) から注入された電子が、n型シリコン層 (3) のドナーを中和するので、正孔注入のバリアがさらに低下し、電流はさらに増大する。図には大きなトンネル電流 6 を太い矢印で示した。こうして、低抵抗状態が実現される。

#### 【0012】

以上の結果、この素子は図 4 に示したような、バイステابل状態を示す。負荷抵抗を直列に接続すれば、同図に示したように 2 つの安定点 (図の “H” と “L”) が存在するのでメモリ素子となる。

#### 【0013】

バイステابلダイオードを用いたメモリセルアレーでは、図 5 に示したように、ワード線 WL 1、WL 2 とビット線 BL 1、BL 2 のクロスした部分すべてに、メモリセル 100 を配置することが可能である。メモリセル 100 は前述の通り導電体層 (1) / 絶縁膜層 (2) / n型シリコン層 (3) / p型シリコン層 (4) を有する。符号 101 はダイオードの負荷抵抗である。後の実施例において詳細に述べるが、本発明によれば、原理的に最小面積のメモリセルを実現できる。これは、従来の 1 トランジスタメモリセルの大きさのほぼ半分になる。さらに、本発明によれば、接合リーク電流が少なく、特性に優れたメモリ素子を有する半導体記憶装置を実現できる。

#### 【0014】

次に、本願の発明の主な諸形態を列挙すれば次の通りである。

#### 【0015】

(1) 第 1 は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置である。

## 【0016】

(2) 第2は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置である。

## 【0017】

(3) 第3は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に複数の絶縁ゲート型電界効果型トランジスタ(MISFET)で構成された周辺回路が配置され、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が前記半導体基体内に存在することを特徴とする半導体記憶装置である。

## 【0018】

(4) 第4は、前記メモリセルを形成する不純物を含む複数の半導体層は、P型とN型の導電型の異なる2つの半導体層を有することを特徴とする前項(1)より(3)のいずれかに記載の半導体記憶装置。

## 【0019】

(5) 第5は、前記メモリセルの有する前記導電体層は、前記周辺回路における絶縁ゲート型電界効果型トランジスタ(MISFET)のゲート電極につながる導電体層であることを特徴とする前項(3)より(4)のいずれかに記載の半導体記憶装置である。

## 【0020】

(6) 第6は、前記メモリセルの有する前記絶縁体層は、前記周辺回路においては絶縁ゲート型電界効果型トランジスタ(MISFET)の絶縁膜につながる絶縁体層であることを特徴とする前項(3)より(4)のいずれかに記載の半導体記憶装置である。

【0021】

(7) 第7は、前記メモリセルの有する絶縁体層は、バンドギャップの異なる絶縁膜の積層膜であることを特徴とする前項(1)より(6)のいずれかに記載の半導体記憶装置である。

【0022】

(8) 第8は、前記メモリセルを形成する絶縁体層は、シリコン酸化膜とシリコン窒化膜の積層膜からなり、かつ前記シリコン酸化膜はシリコン基板に形成されたP型半導体層に接して存在することを特徴とする前項(7)に記載の半導体記憶装置である。

【0023】

(9) 第9は、前記メモリセルの有する前記不純物を含む複数の半導体層の内、少なくとも1つは半導体基体内において、前記ワード線と垂直方向に延在して存在することを特徴とする前項(1)より(8)のいずれかに記載の半導体記憶装置である。

【0024】

(10) 第10は、前記メモリセルの有する前記不純物を含む複数の半導体層の内、前記メモリセルを形成する絶縁体層に接する層は、メモリセル毎に分離されて存在することを特徴とする前項(1)より(8)のいずれかに記載の半導体記憶装置である。

【0025】

(11) 第11は、前記メモリセルを形成する、不純物を含む複数の半導体層の内、最下に形成された層に対して、導電プラグが電気的に接続されていることを特徴とする前項(1)より(8)のいずれかに記載の半導体記憶装置。

【0026】

(12) 第12は、シリコンオンインシュレータ基板上に形成されたことを特徴とする前項(1)より(8)のいずれかに記載の半導体記憶装置。

【0027】

(13) 第13は、メモリセルアレー領域において、複数のビット線が1つのセンスアンプを共用していることを特徴とする前項(1)より(13)のいずれか

に記載の半導体記憶装置である。

【0028】

更に、本願の諸形態を列挙すれば次の通りである。

【0029】

(14) 第14は、バイステーブルダイオードを半導体基板内に有する半導体装置である。

【0030】

更には、バイステーブルダイオードの一部を半導体基板内に有する半導体装置である。こうして、メモリセルを有する半導体基板の平坦化に極めて有利である。この発明思想は前記の本願発明の係わる諸形態に適用して極めて有利である。

【0031】

(15) 第15は、複数のバイステーブルダイオードを記憶部の構成部材として半導体基板内に有する半導体記憶装置である。更には、複数のバイステーブルダイオードの一部を半導体基板内に有する半導体装置である。なканずく、本発明思想をいわゆるDRAMに適用して有用である。こうして、メモリセルを有する半導体基板の平坦化に極めて有利である。この発明思想は前記の本願発明の係わる諸形態に適用して極めて有利である。

【0032】

(16) 第16は、導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有するバイステーブルダイオードである。このダイオードは素子の高集積化に有用である。

【0033】

(17) 第17は、半導体基板内にメモリ素子部が設けられ且つ記憶容量が256メガ・ビット以上の半導体記憶装置である。更には、半導体基板内にメモリ素子部が設けられ且つ記憶容量が256メガ・ビット以上のダイナミックメモリ装置である。

【0034】

(18) 第18は、半導体基体に、素子を電氣的に分離するための素子分離領域を形成する工程、メモリセルアレー領域において、高エネルギーイオン打ち込み

により、基板内部に不純物拡散層を形成した後に、基板表面に絶縁膜を形成する工程、メモリセルアレー領域においてはワード電極を、周辺回路領域においては絶縁ゲート型電界効果型トランジスタ (M I S F E T) のゲート電極を形成する工程、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板をエッチングすることにより、メモリアレーをセル毎に分離する工程、層間絶縁膜を堆積した後、コンタクトホールを開口し、前記コンタクト内部へ導電体を埋込む工程、メモリセルアレー領域においてはビット線を、周辺回路領域においてはローカル配線層を形成する工程を有することを特徴とする半導体記憶装置の製造方法である。尚、具体的方法は実施の形態の欄において説明される。

#### 【0035】

##### 【発明の実施の形態】

以下、本発明の実施例を、製造工程をたどりながら詳細に説明する。

#### 【0036】

プロセス全体の流れとしては次のようになる。まず、メモリセルアレー、次に周辺回路に用いられるMOSFETを作り、最後に配線層という順番になる。

#### 【0037】

まず、実施の形態1の実際のプロセスフローを述べる。まず始めに、p型半導体基板(5)を用意して、MOSFETを分離するための素子間分離酸化膜(6)を、周知の選択酸化法や浅溝分離法を用いて形成する。本実施例では、表面を平坦化できる、浅溝分離法を用いた。

#### 【0038】

図6を参照する。図6の(a)は断面図、図6の(b)は平面図である。尚、図6は、メモリアレー部と周辺回路部の一部が示されている。まず基板5に深さ0.3ミクロン程度の分離溝を周知のドライエッチ法を用いて形成する。この溝側壁や底面のドライエッチに起因する損傷を取り除いた後に、周知のCVD(Chemical Vapor Deposition)法を用いてシリコンの酸化膜を0.7ミクロン程度の膜厚で堆積する。そして、溝ではない部分にある酸化膜を、これも周知のCMP(Chemical Mechanical Polishing)法で選択的に研磨し、溝に埋まっている酸化膜6だけ

を残す。図6の(a)はこの状態を示している。素子分離領域形成後の上面図を図6の(b)に示す。

#### 【0039】

特徴的なことは、メモリセルアレーにおける素子形成領域は、単純なラインアンドスペースになっている点である。これは位相シフト法等の超解像のリソグラフィを適用するのに、極めて適している。

#### 【0040】

次に高エネルギー不純物打ち込みにより、導電型の異なる2種類のウエルを形成した。その際、メモリセルアレー領域にはN型ウエル(7)を形成した。図7はこの状態を示す。

#### 【0041】

つづいて、図8に示したように、メモリセルアレー部のみを開口したレジスト膜(1201)をマスクに、メモリセルアレー領域にボロンを、50keVの加速エネルギーで、 $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で打ち込み、900度10秒のアニール工程により、ボロンイオンを活性化する。図9はこの状態を示す。

#### 【0042】

こうして形成されたP型の拡散層(8)がメモリアレーにおけるビットラインとなる。この際重要なことは、P型拡散層(8)の深さを素子分離酸化膜(6)の膜厚より浅くすることにより、自己整合的に、P型拡散層(8)が素子分離酸化膜(6)により電氣的に分離されるという点である。

#### 【0043】

次に半導体基板の表面を洗浄した後に、周辺回路においてはMISFETのゲート酸化膜となり、メモリアレーにおいてはトンネル膜となる、酸化膜(9)を周知の熱酸化法で成長させ図11のようになった。この時の酸化温度は摂氏800度、酸化膜の膜厚は3nmである。

#### 【0044】

さらに、図11に示したように、この酸化膜の表面に、ワード線(10)及びゲート電極(11)として、リンを高濃度で含む多結晶シリコンを100nmの厚さで堆積した。勿論、リンの代りにボロンを高濃度で含む多結晶シリコンを用い

ても構わない。

【0045】

本実施例においては、電極材料として、多結晶シリコンを用いたが、ゲート抵抗を低減するために、間に反応抑止のバリアメタルをもうけた金属と多結晶シリコンの積層膜を用いることも、勿論可能である。またこの金属として、多結晶シリコンとは反応しない、シリサイド膜を用いても良い。

【0046】

本願発明の基本となるバイステイブルダイオードは次の構成とするのが良い。その基本構造は、前述した通り導電体層（1）、絶縁膜層（2）、n型シリコン層（3）、p型シリコン層（4）の積層構造を有している。

【0047】

この導電体層1としては、例えば、N型／P型多結晶シリコン、タングステン、アルミ、銅など、絶縁膜2としては、例えば、シリコン酸化膜、シリコンナイトライド、シリコン酸窒化膜などを用いることが出来る。又、n型シリコン層（3）及びp型シリコン層（4）は通例のものを用いることが出来る。その不純物濃度は概ね、 $10^{16} \text{ cm}^{-3}$ より $10^{19} \text{ cm}^{-3}$ の範囲を用いる。各層の厚さは、通例、導電体層（1）は50nmより300nm、絶縁膜（2）は1nmより3nmの範囲が用いられる。n型シリコン（3）とp型シリコン（4）の積層順番が入れ替わったものに対しても、概ね同様の条件で実施することが出来る。尚、以下の別な実施の形態においても前記の各層の条件が基本となる。

【0048】

次に、周知のドライエッチ法を用いて、周辺回路領域においてはゲート電極（11）の形状に、メモリアレーにおいてはワード線（10）の形状に加工し、図12のようになった。さらに、このゲート電極及びレジストの領域をマスク領域にして、周辺回路領域の拡散層13を形成するために、不純物イオンを打ち込む。n型MOSFETには砒素を $5 \times 10^{14} / \text{cm}^2$ 程度の量で、また、p型MOSFETにはボロンを同じ量だけ打ち込んだ。そして、熱処理、具体的には、950度で10秒の条件で基板を加熱し、打ち込んだ不純物を活性化させることで、周辺回路領域の拡散層13を作った。この拡散領域自体は基本的に通例の構造、方法によって十分である

## 【0049】

次に、メモリアレーの形成を行う。この時点では、ビット線方向にメモリセルがつながっているので、セル毎に分離する必要がある。その為に、図13に示したように、メモリアレー領域のみを開口したレジストマスク(12)を用いて、ワード線電極をマスクにして、基板をエッチングする。具体的には以下のように行う。

## 【0050】

まず、3nmのトンネル酸化膜をエッチングする。続いて、図14の(a)に示したように、シリコン基板を200nmエッチングし、ビット線となるP型拡散層(8)を露出させる。図14の(a)は図13におけるAA方向の断面図である。周辺回路部はレジスト12に覆われている。この結果、ワード線に垂直な方向の断面図は図14の(b)のようになり、メモリアレーはワード線により、自己整合的にセル毎に分離される。以上述べたことから明らかなように、本実施例においては、メモリセルはビット線及びワード線に対して、自己整合的に形成されるので、合わせズレの問題がなく、接触面積のバラツキもないことから、セルの特性のバラツキが非常に小さいという特長がある。

## 【0051】

次に、レジスト(12)を除去し、周知のCVD法により0.7ミクロン程度の酸化膜(14)を堆積し、周知のCMP法による平坦化を行う。図15はこの状態を示す断面図である。続いて、メモリセルアレー領域においてはビット線となる拡散層(8)に対し、周辺回路においてはMOSFETの拡散層(13)やゲート電極(11)に対して、コンタクトを開口する。この開口部に周知のCVD法によりTi/TiN/Wの積層膜を形成し、Wプラグ(15)を形成する。このプラグの加工は周知のCMP法を用いる。図16はこの状態を示す断面図である。

## 【0052】

本構造で有利な点は、ビット線抵抗の低減である。即ち、図17に示すように、金属配線層(16)を形成する。この時のメモリセルアレーにおける、ワード線に垂直な方向の断面図を図18に示す。拡散層からなる高抵抗のビット線(8



)を低抵抗の配線層(16)でシャントすることになり、見掛け上、ビット線の抵抗を低減することができた。

【0053】

さらに、層間絶縁膜(17)を堆積し、コンタクトを開口後にプラグ(18)を形成し、配線層(19)を形成して所望の半導体記憶装置を得た。図19にこの状態の断面図を示す。

【0054】

最後に本実施例における特長をまとめるとつぎのようになる。

【0055】

まず、キャパシタが不要なために、メモリセルアレーと周辺回路間の段差が小さい。また、キャパシタ工程に伴う熱工程が不要な為、周辺回路MISFETの性能が優れる。さらに、従来の1トランジスタメモリを有するDRAMに比べ、メモリセル面積が約半分であり、しかもプロセスがはるかに簡易である為、高歩留まり、低コストが十分に期待できる。

【0056】

実施の形態2は、特に高速メモリ動作を実現する手法に関するものである。

【0057】

本発明による半導体記憶装置のスピードを決める重要な要因の一つが、データ読み出し時にメモリセルを流れる低抵抗状態のトンネル電流である。トンネル電流を増大させるのに、最も有効な手法が、トンネル酸化膜の薄膜化である。ところが、周辺回路領域におけるゲート酸化膜の薄膜化は、待機時の消費電力を増大させると言う合反する特性を有する。通例、上述の実施の形態1のような構造の場合、こうした両特性を勘案して、半導体装置を構成する諸部材の材質、幅、長さ、厚さなどのディメンジョン等が設計される。

【0058】

こうした背景から、本例では、更にこの点をより一歩進めた構造を例示する。従って、本例では半導体記憶装置のスピードを高いものに確保しつつ、周辺回路領域の消費電力は低電力と成し得る。更には、半導体装置の各部の設計を容易ならしめる。

## 【 0 0 5 9 】

本実施例ではメモリアレー部と周辺回路部で、酸化膜の膜厚を異なるものとした。即ち、メモリセル部の酸化膜はトンネル電流を十分となすように薄膜化し、一方周辺回路部の酸化膜は待機時の消費電力を増大させない厚さに設定するものである。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

## 【 0 0 6 0 】

本例の断面図を図 2 0 に示す。下記の絶縁膜 9 0 1、9 0 2 以外の各部の符号はこれまでのものと同様である。本例では、メモリアレー領域のトンネル酸化膜 (9 0 1) を 1. 5 n m とし、周辺回路領域のゲート酸化膜 (9 0 2) を 3 n m とした。酸化膜形成以外の製造工程は実施の形態 1 と同様である。この 2 種類の膜厚のトンネル／ゲート酸化膜は以下のように形成した。まず、通常の熱酸化法により、基板全面に 1. 5 n m の酸化膜を形成する。次に、メモリセルアレー領域のみを開口し、周辺回路領域を被ったレジストマスクを用いて、メモリセルアレー部の酸化膜をウェットエッチにより除去する。しかる後に、基板全面を 1. 5 n m の厚さに酸化する。こうして、メモリセルアレー部においては 1. 5 n m、周辺回路部においては 3 n m の酸化膜を形成することが出来た。本例のメモリ動作はより高速化を実現することが出来た。

## 【 0 0 6 1 】

実施の形態 3 は、特にトンネル酸化膜の特性を改善する手法に関するものである。具体的にはデータ保持時の電流を低く押さえつつ、データ読出し時の電流を増大させる手法を提案する。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

## 【 0 0 6 2 】

本目的の為に、トンネル／ゲート酸化膜として、シリコン酸化膜 (9 0 3) ／シリコン窒化膜 (9 0 4) の積層膜を用いた。この状態のワード線に平行な方向の断面図を図 2 1 に示す。また、図 2 2 には、メモリセルアレーにおけるワード線に垂直な方向の断面図を示す。図 2 1、図 2 2 において、これまでの図面と同様の符号は同じ部分を示す。

## 【0063】

積層のトンネル膜を用いると以下のような効果がある。メモリセルにおける、データ保持時の模式的なバンド構造は図23のようになる。この時、シリコン酸化膜903とシリコン窒化膜904の両方が、トンネルのバリアとして機能するので、リーク電流は低く押さえられる。一方、データ読出し時、即ち、ワード電極に一定以上のバイアスが与えられている場合の模式的なバンド構造は図24のようになる。バンド図から明らかなように、この時にはシリコン酸化膜903のみが電子のトンネルのバリアとして機能するので、データ保持時に比べて、実効的なトンネル絶縁膜の膜厚が薄くなる。この結果、トンネル電流が増大し、高速データ読出しが可能になる。

## 【0064】

この動作から明らかなように、バンドギャップの異なる絶縁膜の組み合わせで同様な効果が期待できる。データ保持時は複数の絶縁膜の積層がトンネル効果に対するバリアとして作用し、データ読み出し時は、大きな禁制帯幅を有する絶縁膜の方がキャリアのトンネル効果に対するバリアとなるような、絶縁膜の組み合わせを用いるのが基本思想である。例えば、その組み合わせとしては、上述の例以外に、シリコン酸化膜／タンタル酸化膜、シリコン窒化膜／タンタル酸化膜、等を用いても勿論構わない。勿論、要求される特性によって具体的な設計値が変化するが、これらの各絶縁膜の厚さは概ね5オングストロームより30オングストローム程度の範囲で選択される。更に、特性の設計や製造の観点から、2層の組み合わせが最も実用的であるが、2層以上の絶縁膜を上記本例の基本思想に合致するように構成することも可能である。

## 【0065】

また、本実施例において注意すべき点がある。前記の動作原理から明らかなようにワード電極に正のバイアスを印加しなければならない。従って、バイステープルダイオードの原理を参照すれば、図21に示す構造で、ビット線(801)はN型拡散層、メモリアレーを被うウエル(701)はP型とする必要がある。

## 【0066】

本実施例の製造工程はゲート酸化膜の工程を除き、実施の形態1とほぼ同様で

ある。ゲート酸化膜の製造工程は以下の通りである。まず、通常の熱酸化法により、基板全面に膜厚 2 nm のシリコン酸化膜を形成する。続いて、表面窒化により、膜厚 1 nm のシリコン窒化膜を形成し、シリコン酸化膜／シリコン窒化膜の積層膜とした。

## 【 0 0 6 7 】

尚、ワード電極の材料として、本実施例では、リンを高濃度に含む N 型多結晶シリコンを用いたが、他にもボロンを高濃度に含む多結晶シリコンや、タングステン等の金属を用いることも可能である。しかし、低消費電力の観点から、データ読出し時の印加電圧を小さくするためには、仕事関数の小さな材料をワード電極として用いることが有効である。その意味では、前記の中では、N 型多結晶シリコンが最適である。ワード電極の材料はこの実施の形態以外の例においても同様に考え得る。

## 【 0 0 6 8 】

実施の形態 4 は、製造方法、中でも特に実用的に有用なメモリアレーの製造方法に関するものである。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

## 【 0 0 6 9 】

実施の形態 1 においてメモリアレーをセル毎に分離する際、図 1 1 及び図 1 2 に示したように、ワード電極 (10) 及び素子分離酸化膜 (6) をマスクに、シリコン基板をエッチングする工程があった。この時、素子分離領域 (6) がテーパー形状をしている結果として、素子形成領域が逆テーパー形状となる。この為、シリコン基板をエッチングする際、側壁に沿ってシリコンがエッチ残りする可能性がある。これは、メモリアレーがセル毎に分離されないということを意味する。本実施例はこうした不良発生を回避する製造方法に関するものである。

## 【 0 0 7 0 】

この目的の為に、シリコン基板エッチングの際に、酸化膜に対する選択比の無い条件、即ち、素子分離酸化膜 (6) も同時にエッチングすることにより、図 2 5 のようになった。このように、本実施例によれば、実施例 1 の場合とは異なり、確実にメモリアレーをセル毎に分離することが可能である。この後、層間酸化

膜を堆積等し、プラグ（18）、配線層（19）を形成し、図26に示す所望の半導体記憶装置を得た。

#### 【0071】

実施の形態5は、ビット線コンタクト開口時に、自己整合プロセスを適用したものである。本実施例適用の結果、セル面積を増大することなくビット線のシャントを多数行えるので、見掛け上のビット線抵抗の大幅な低減が可能である。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

#### 【0072】

ゲート酸化膜形成までの工程は、実施の形態1と同様である。勿論、本例に組み合わせて実施の形態2や実施の形態3で述べたように、複数、例えば2種膜厚トンネル絶縁膜や積層トンネル絶縁膜を用いることは可能である。次に、自己整合コンタクト開口プロセス適用の為に、ワード線（1001）／ゲート電極（1101）となる電極材料を堆積後、シリコンナイトライド（20）を周知のCVD法により100nm堆積し、周知のドライエッチにより加工する。この状態のワード線に平行な方向の断面図を図27に示す。この時の、上面図を図28に示す。また、ワード線に垂直方向（図28中のAA方向）の断面図を図29に示す。更に、ワード電極領域をマスクに、メモリアレーにおいてのみ、トンネル酸化膜及びシリコン基板を200nmエッチングする。続いて、シリコンナイトライド（2001）を30nm堆積して図30のようになった。次に、シリコンナイトライドを30nm異方性エッチングにより加工し、側壁シリコンナイトライド膜を形成する（図31）。

#### 【0073】

次に、洗浄した後に、層間絶縁膜として、シリコン酸化膜（14）を0.7ミクロン堆積し、周知のCMP法により平坦化する（図32）。さらに、実施の形態1と同様にプラグ（15）及び配線層（16）を形成しする（図33）。尚、メモリアレーにおけるワード線に垂直な方向の断面図は図34のようになった。自己整合コンタクトプロセス適用の結果、面積を増大させることなく、ビット線拡散層に多数個コンタクトを開口し、ビット線抵抗を大幅に低減できた。

## 【0074】

実施の形態6は基板として、シリコンオンインシュレータ（SOI: Silicon On Insulator）を用いたものである。この例は次のような特長を有している。これまで述べた実施の形態1-5においては、メモリセルアレーにおける拡散層（8）への、コンタクト開口ドライエッチは、例えば図14に示したように、下地にエッチストップとなる層が無い為に、時間制御で行う必要がある。しかし、図35に示したように、SOI基板を使うことにより、このエッチングを酸化膜（21）で止めることができ、前記問題を解決できる。

## 【0075】

図35に第1配線層形成までの断面図を示すが、本実施例の製造工程は実施の形態1とほぼ同様である。

## 【0076】

以上、実施の形態1より6の諸形態を説明したが、メモリ素子部分は、これまで説明した諸実施の形態の構成を適宜組み合わせる用いることが出来ることは言うまでもない。それは、2つ以上を組み合わせることも勿論可能である。その各々の特徴を生かすことが出来る。

## 【0077】

実施の形態7は、本発明によるメモリセルアレーのレイアウトに関するものである。図36にメモリセルアレー及びセンスアンプのレイアウトを示す。通常の折り返しビット線構造を有するメモリとは異なり、ワード線64とビット線65のクロスした部分62すべてにメモリセル66が配置される。尚、メモリ素子部分は、これまで説明した諸実施の形態の構成を用いることが出来る。2つ以上を組み合わせることも勿論可能である。その各々の特徴を生かすことが出来る。

## 【0078】

本発明によるメモリは、非破壊読出しであるので、1つのセンスアンプ67を複数のセルで共用し、従来の1トランジスタ型メモリセルを有する半導体記憶装置に比べて、センスアンプの数を大幅に減らすことが可能である。そこで、図36に例示したように、ビット線65を複数束ねて、スイッチで選択し、センスアンプ67に入力する方式とした。また、センスアンプ67の数が少ない効果とし

て、チップ面積をあまり増大させることなく、ビット線分割を増やすことができる。この結果、ビット線の容量が低減され、メモリ動作の高速化が可能になる。

【0079】

以上、本願発明を詳細に説明したが、本発明によれば、セル面積を従来のDRAMの半分にすることができるので、チップ面積を大幅に小さくすることができる。また、基本的にキャパシタが不要なので、周辺回路との段差が小さくでき、熱工程も従来に比べ大幅に減らせるので、周辺回路MOSFETの性能を劣化させることも無く、論理混載DRAM等のシステムLSIに極めて好適である。さらに、キャパシタが不要ということで、本発明には、従来のDRAMに比較し、マスク枚数を削減し、著しくプロセスを簡略化し、製造コストを低減するという効果もある。また、リフレッシュが不要なので、消費電力も著しく小さい。その上、データを破壊することなく読出せるので、リフレッシュが不要であり、センスアンプの数も削減できる。この効果として、ビット線の多分割が可能になり、ビット線の容量を低減し、セル動作を高速化できる。

【0080】

こうして、本願発明によれば記憶容量が256Mビット以上の半導体記憶装置をより好都合に実現することが出切る。

【0081】

【発明の効果】

本願発明によれば高集積密度の半導体記憶装置を提供することが出来る。

【図面の簡単な説明】

【図1】

図1は従来の1トランジスタメモリセルの等価回路である。

【図2】

図2は従来の半導体記憶装置の断面図である。

【図3】

図3は本発明のメモリセルの積層を示す断面図及び諸状態におけるバンド構造図である。

【図 4】

図 4 は本発明に用いたメモリセルのメモリ動作特性を示す図である。

【図 5】

図 5 は半導体記憶装置のメモリアレーの配置を示す図である。

【図 6】

図 6 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図及び上面図である。

【図 7】

図 7 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 8】

図 8 は本発明の半導体記憶装置のひとつの製造工程における上面図である。

【図 9】

図 9 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 1 0】

図 1 0 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 1 1】

図 1 1 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 1 2】

図 1 2 は本発明の半導体記憶装置のひとつの製造工程における上面図である。

【図 1 3】

図 1 3 は本発明の半導体記憶装置のひとつの製造工程における上面図である。

【図 1 4】

図 1 4 は図 1 3 に示した図の所望方向の断面図である。

【図 1 5】

図 1 5 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直



方向の断面図である。

【図 1 6】

図 1 6 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 1 7】

図 1 7 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 1 8】

図 1 8 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 1 9】

図 1 9 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 0】

図 2 0 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 1】

図 2 1 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 2】

図 2 2 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 2 3】

図 2 3 は積層の絶縁膜のバンド構造図である。

【図 2 4】

図 2 4 は積層の絶縁膜のバンド構造図である。

【図 2 5】

図 2 5 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 6】

図 2 6 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 7】

図 2 7 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 2 8】

図 2 8 は本発明の半導体記憶装置のひとつの製造工程における上面図である。

【図 2 9】

図 2 9 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 3 0】

図 3 0 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 3 1】

図 3 1 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 3 2】

図 3 2 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 3 3】

図 3 3 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 3 4】

図 3 4 は本発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

【図 3 5】

図 3 5 は本発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

【図 3 6】

図 3 6 は本発明の半導体記憶装置におけるセンスアンプのレイアウトの例を示す図である。

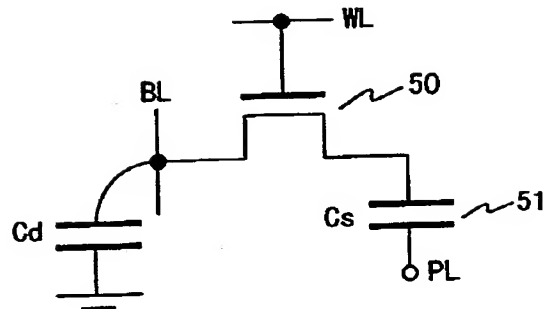
【符号の説明】

1 - 金属、2 - 絶縁膜、3 - N型半導体、4 - P型半導体、5 - 半導体基板、6 - 素子分離酸化膜、7 - メモリアレーを覆うN型ウエル、7 0 1 - メモリアレーを覆うP型ウエル、8 - P型不純物拡散層、8 0 1 - N型不純物拡散層、9、9 0 1、9 0 2 - 絶縁膜、9 0 3 - シリコン酸化膜、9 0 4 - シリコン窒化膜、1 0、1 0 0 1 - ワード線、1 1、1 1 0 1 - 周辺回路ゲート電極、1 2 - レジスト、1 3 - 周辺回路トランジスタ不純物拡散層、1 4 - 層間絶縁膜、1 5 - プラグ、1 6 - 配線層、1 7 - 層間絶縁膜、1 8 - プラグ、1 9 - 配線層、2 0、2 0 0 1 - シリコン窒化膜、2 1 - シリコン酸化膜、5 0 - トランジスタ、5 1 - キャパシタ、6 0 - メモリセルアレー、6 1 - 周辺回路、6 2 - ワードとビットのクロス領域、6 3 - キャパシタ、6 4 - ワード線、6 5 - ビット線、6 6 - メモリセル、6 7 - センスアンプである。

【書類名】 図面

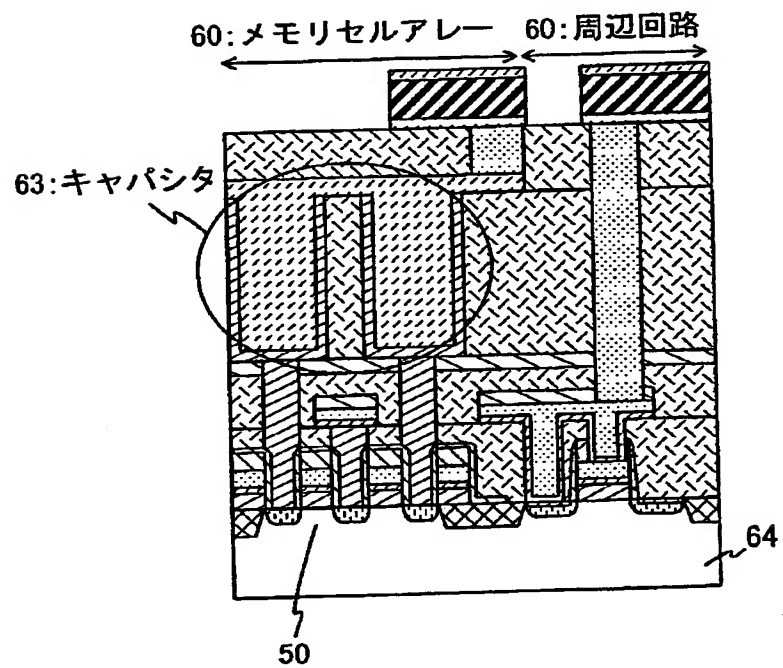
【図 1】

図 1



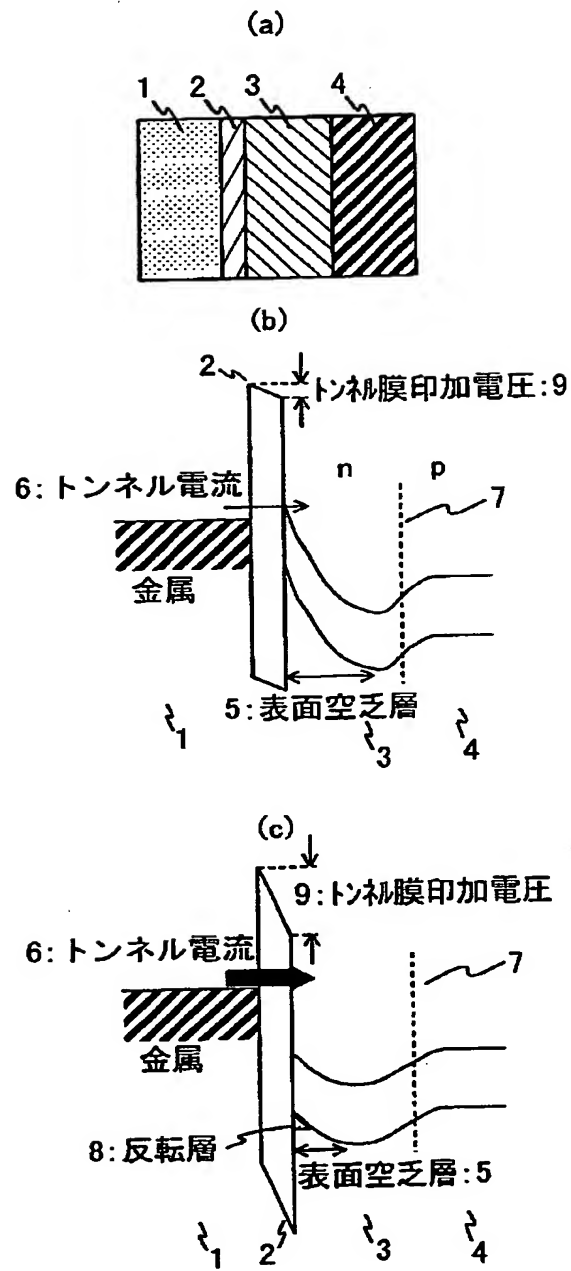
【図 2】

図 2



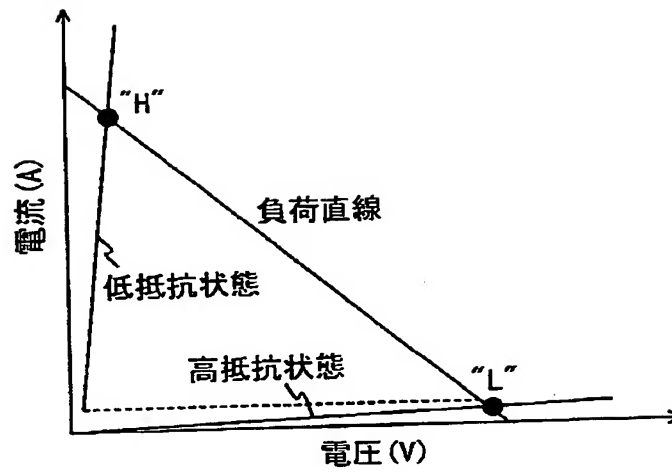
【図 3】

図 3



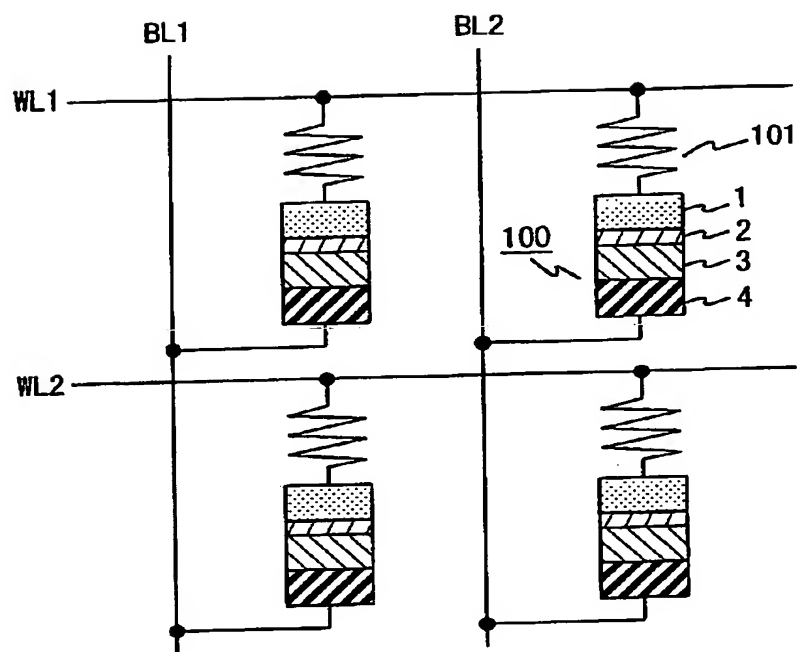
【図 4】

図 4



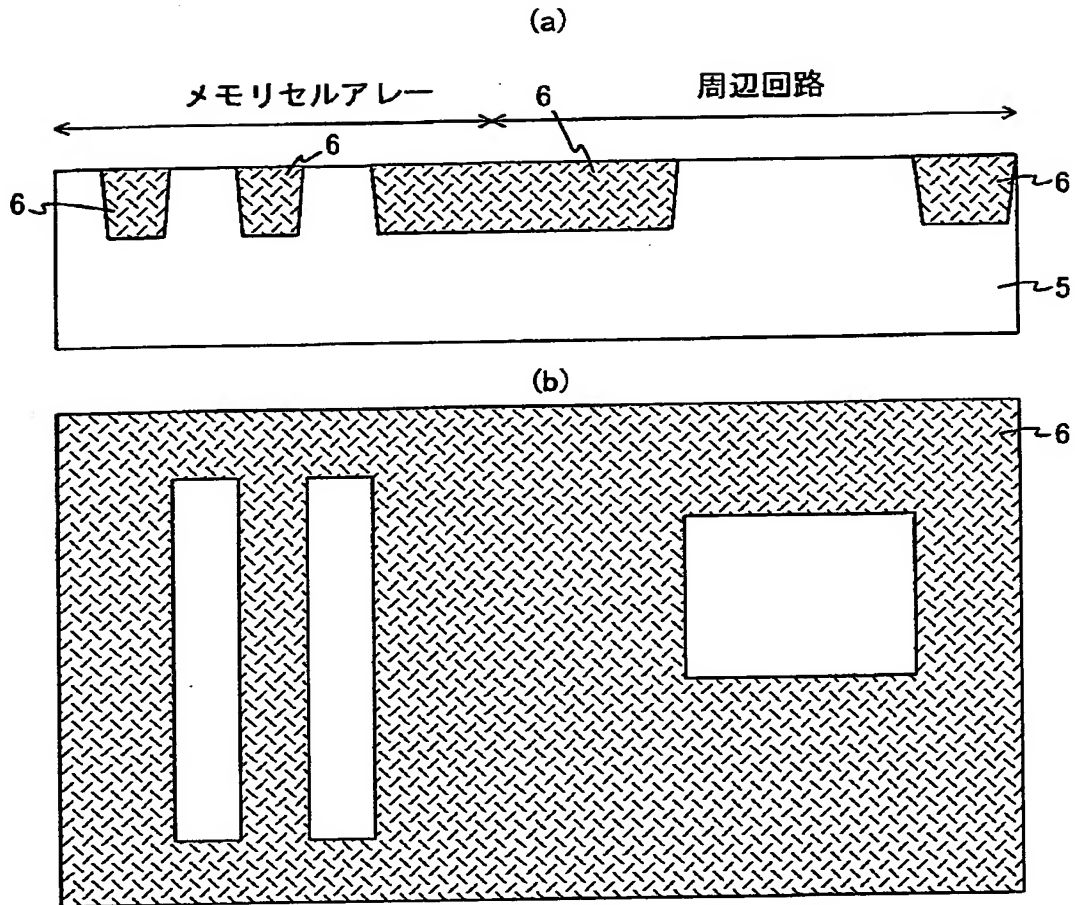
【図 5】

図 5



【図6】

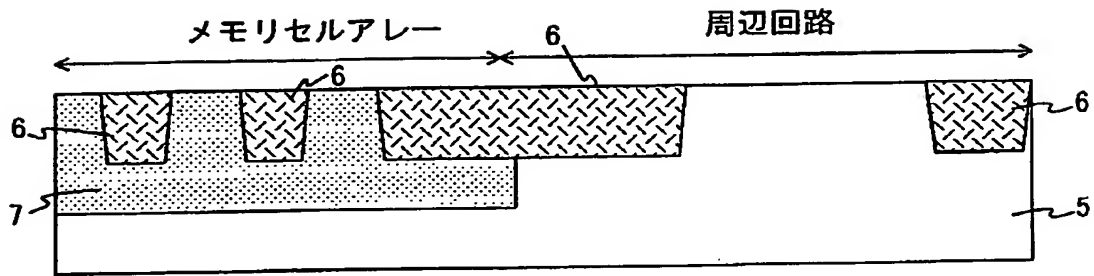
図 6





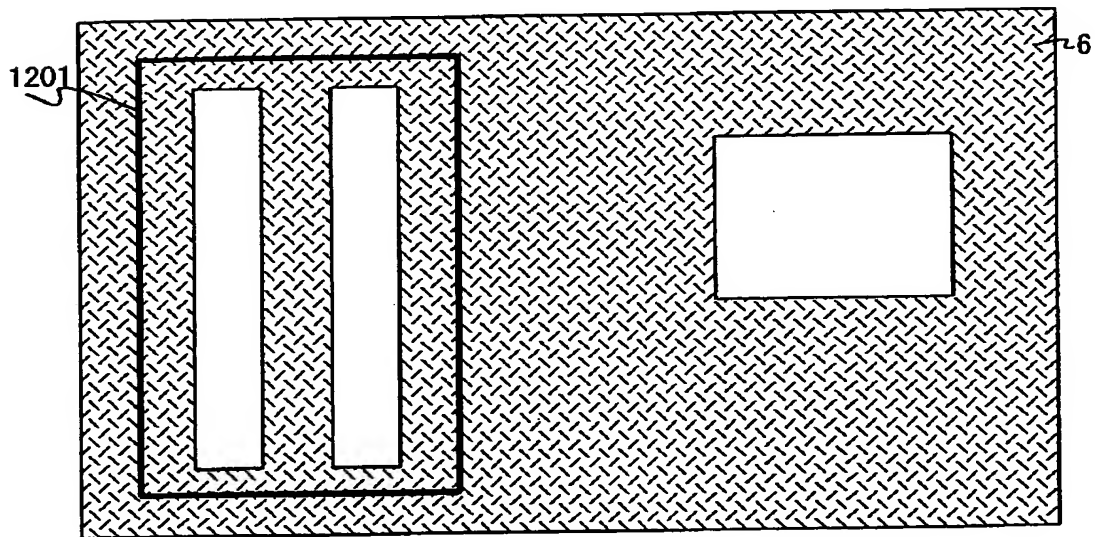
【図 7】

図 7



【図 8】

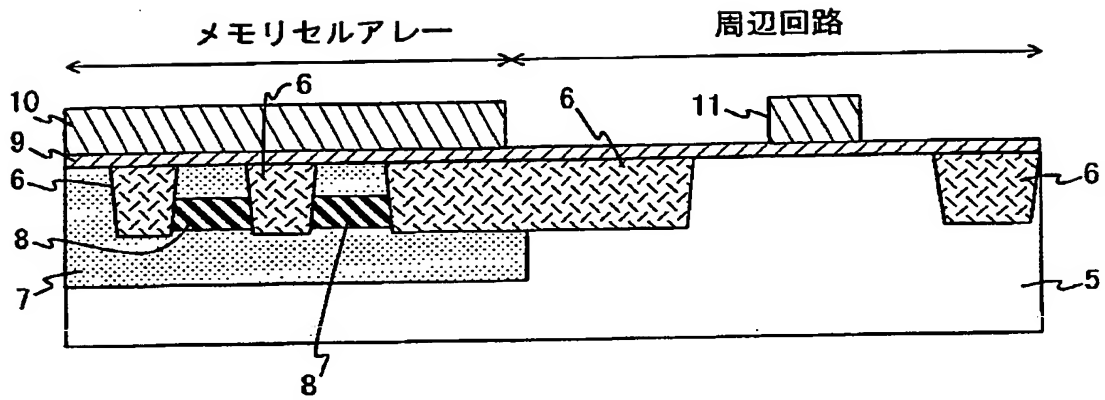
図 8





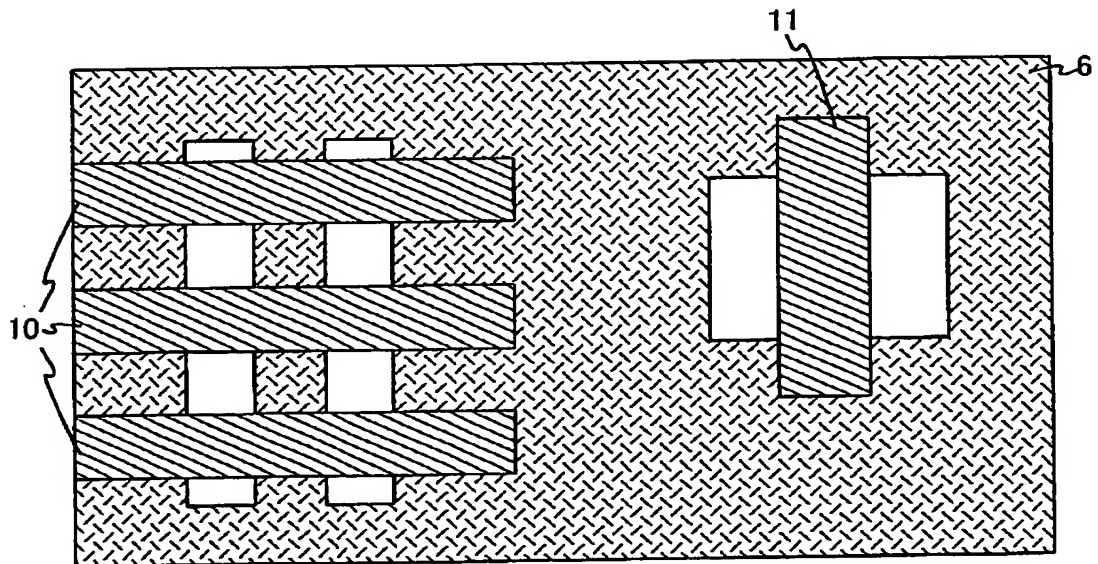
【図 11】

図 11



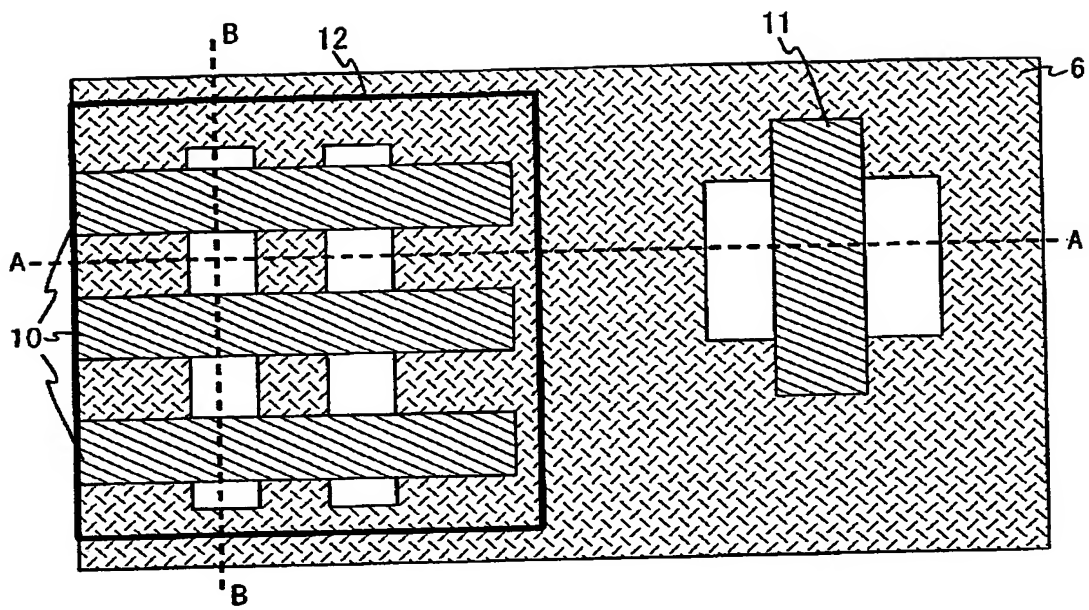
【図 12】

図 12



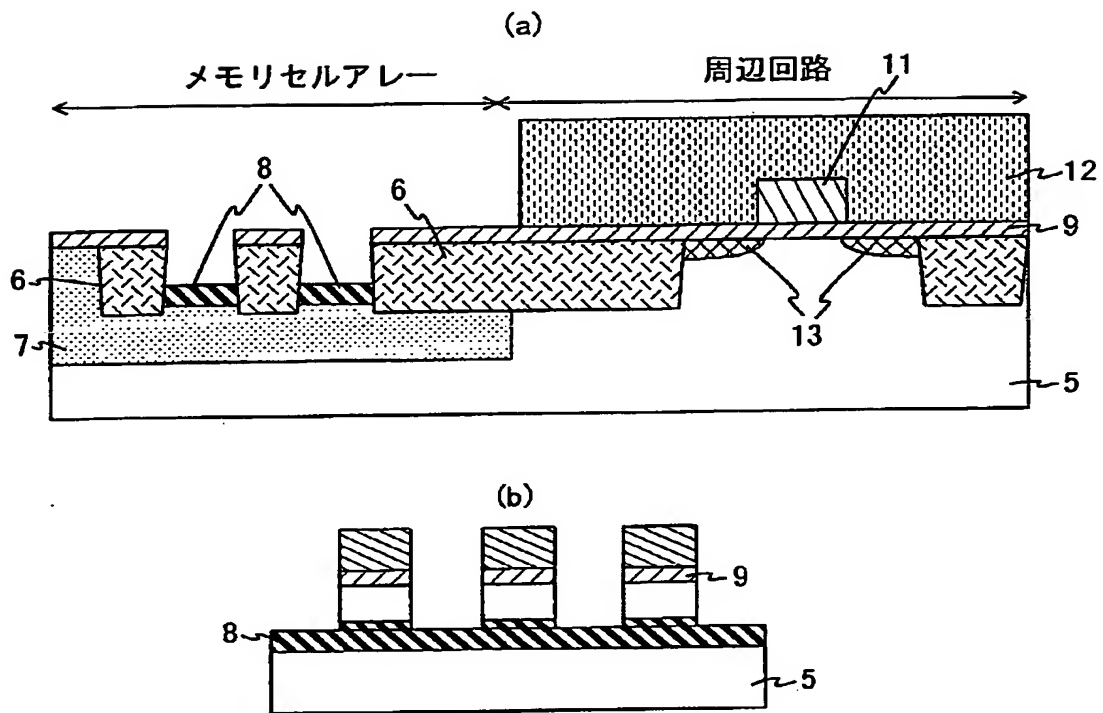
【図 1 3】

図 13



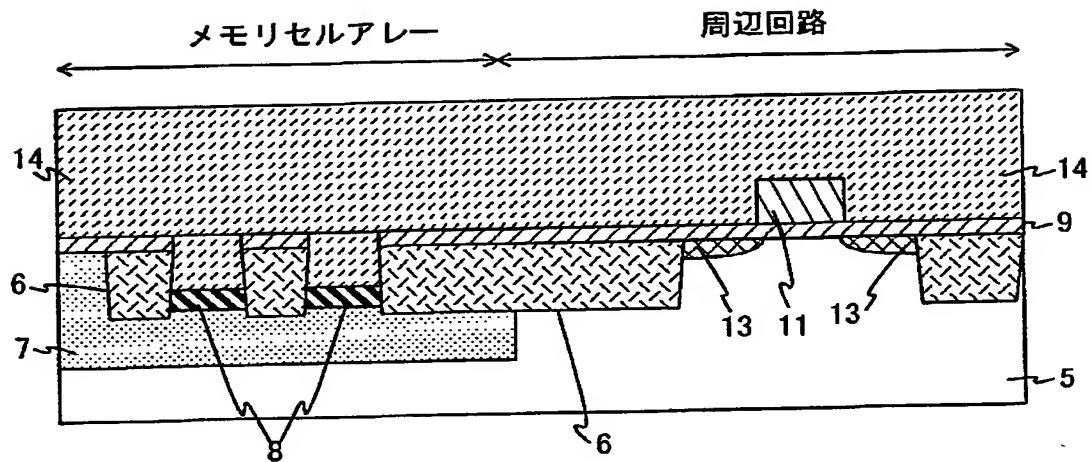
【図 1 4】

図 14



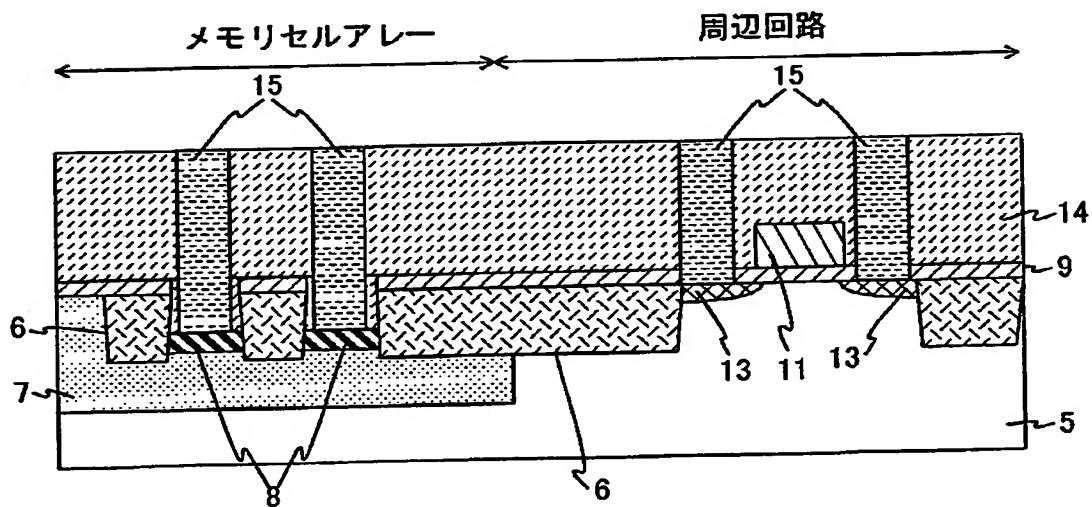
【図 15】

図 15



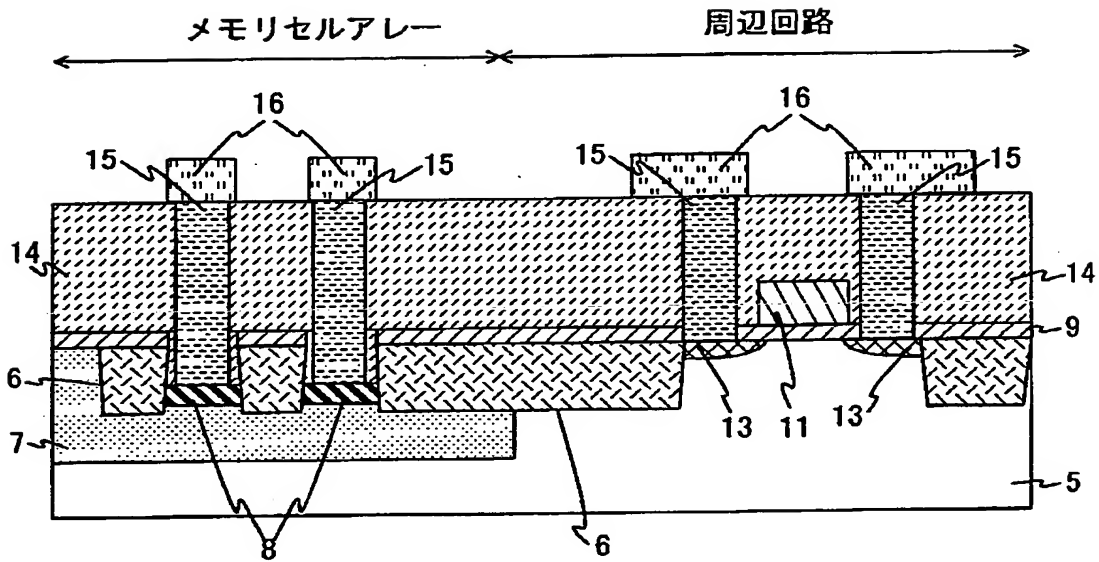
【図 16】

図 16



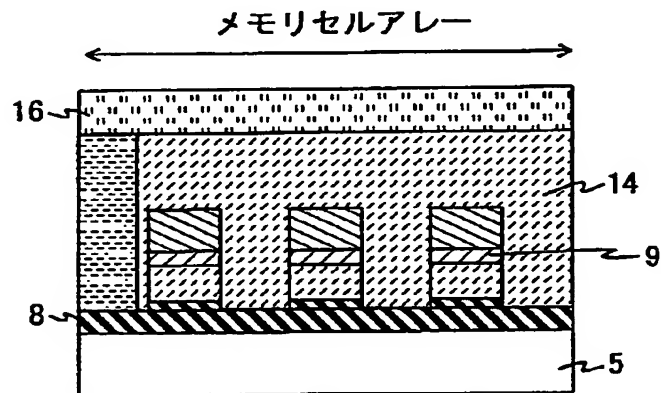
【図 17】

図 17



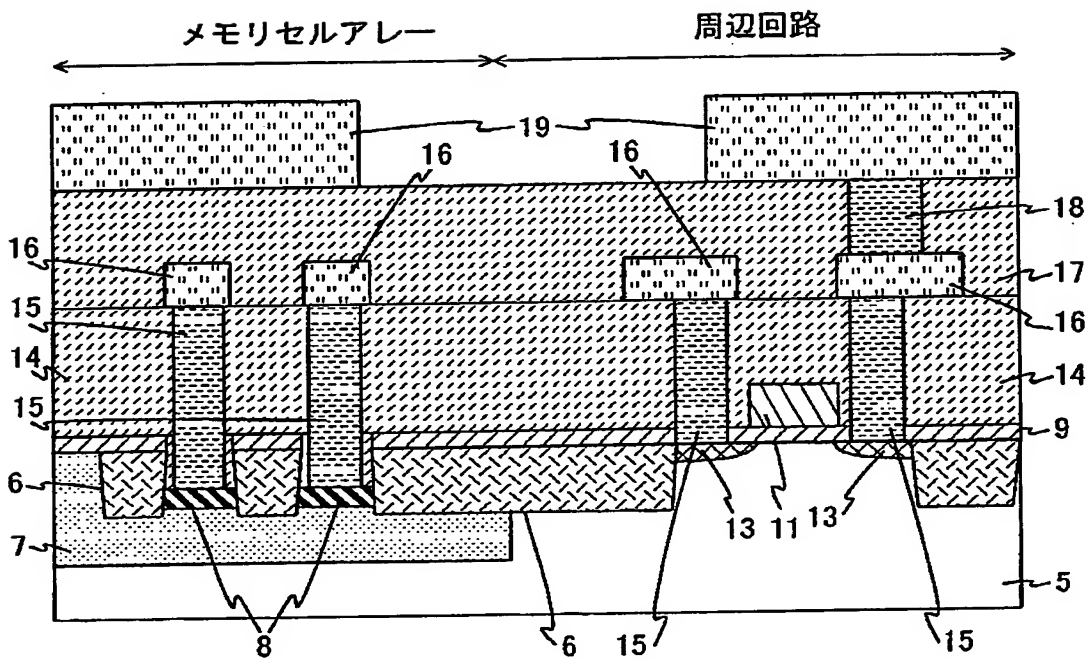
【図 18】

図 18



【図 1 9】

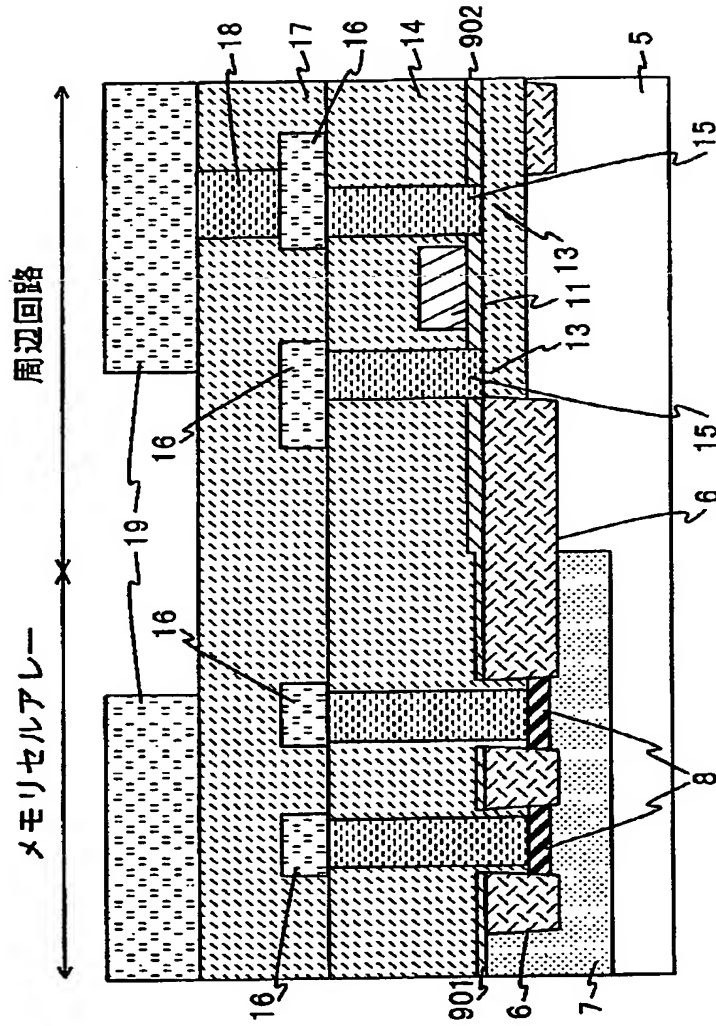
図 19





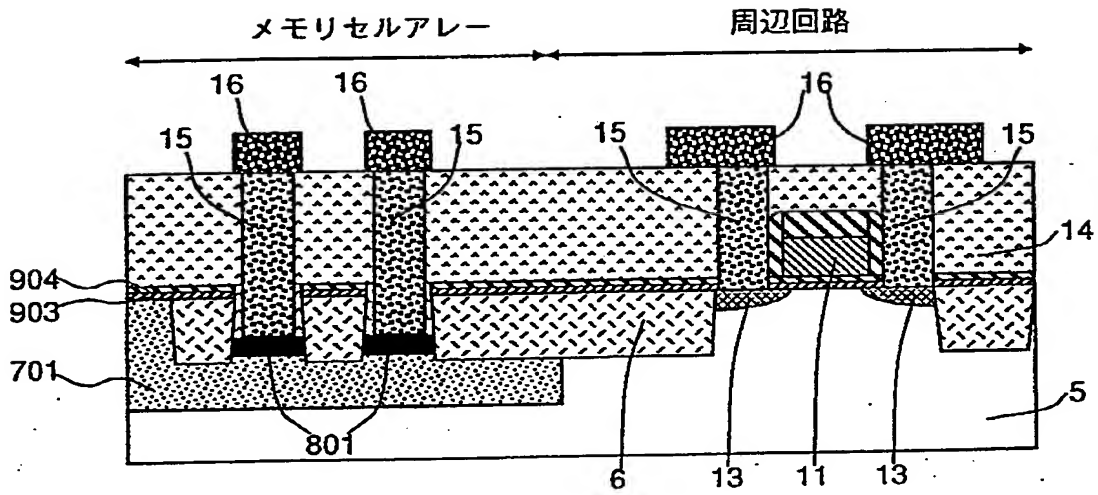
【図 20】

図 20



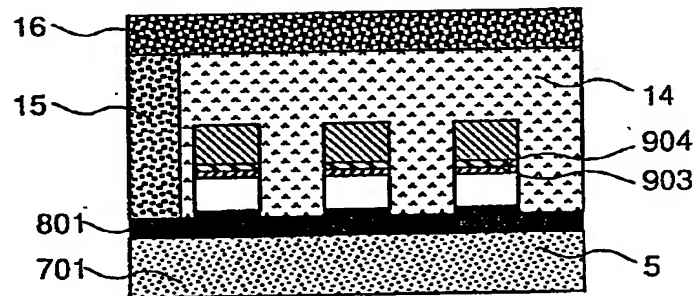
【図 2 1】

図 2 1



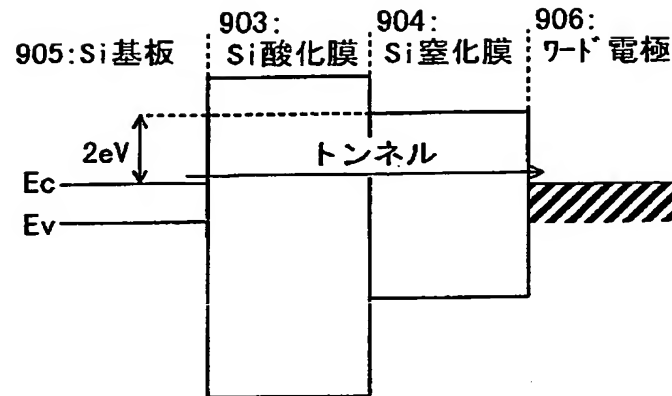
【図 2 2】

図 2 2



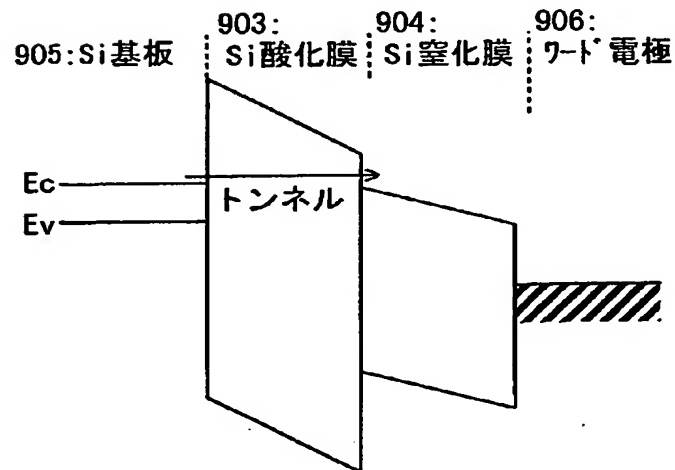
【図 2 3】

図 23



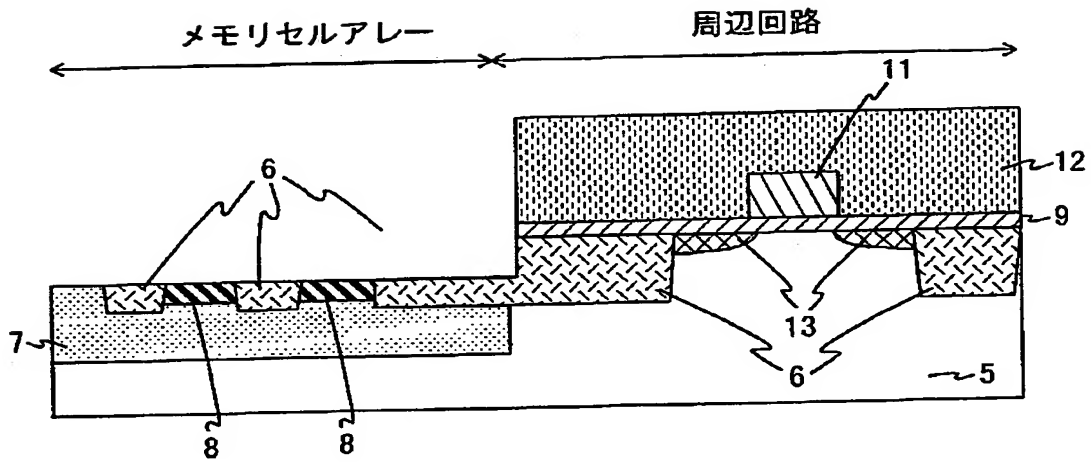
【図 2 4】

図 24



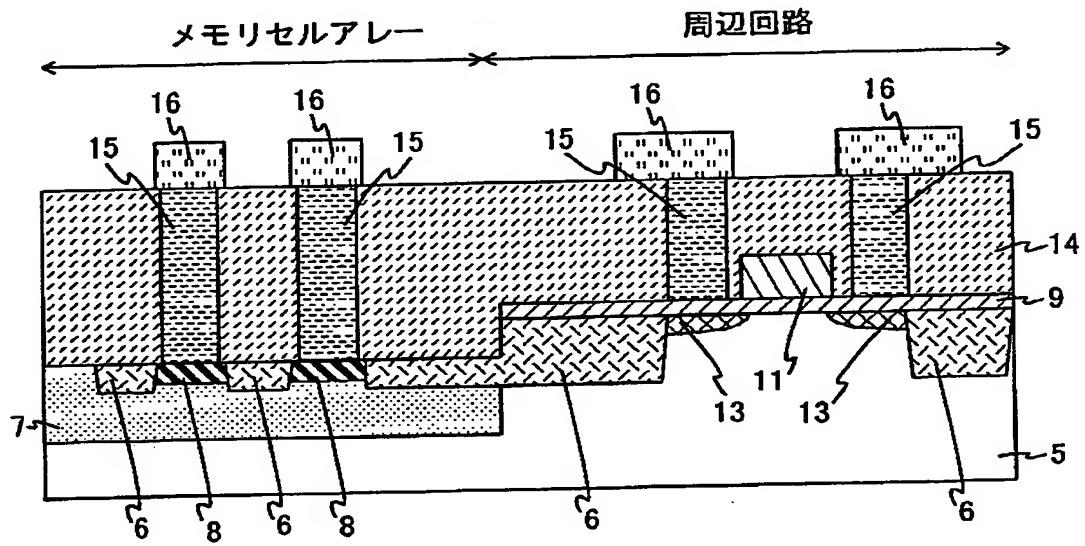
【図 25】

図 25



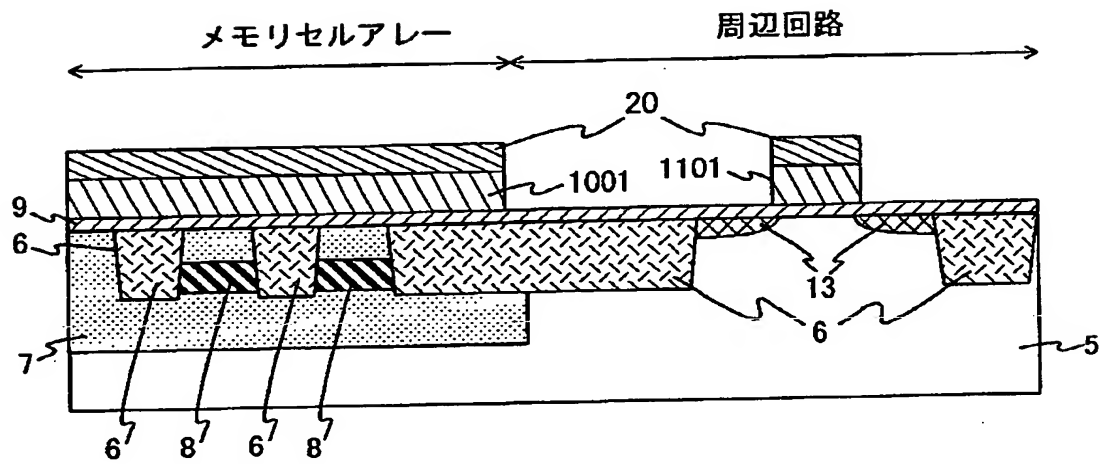
【図 26】

図 26



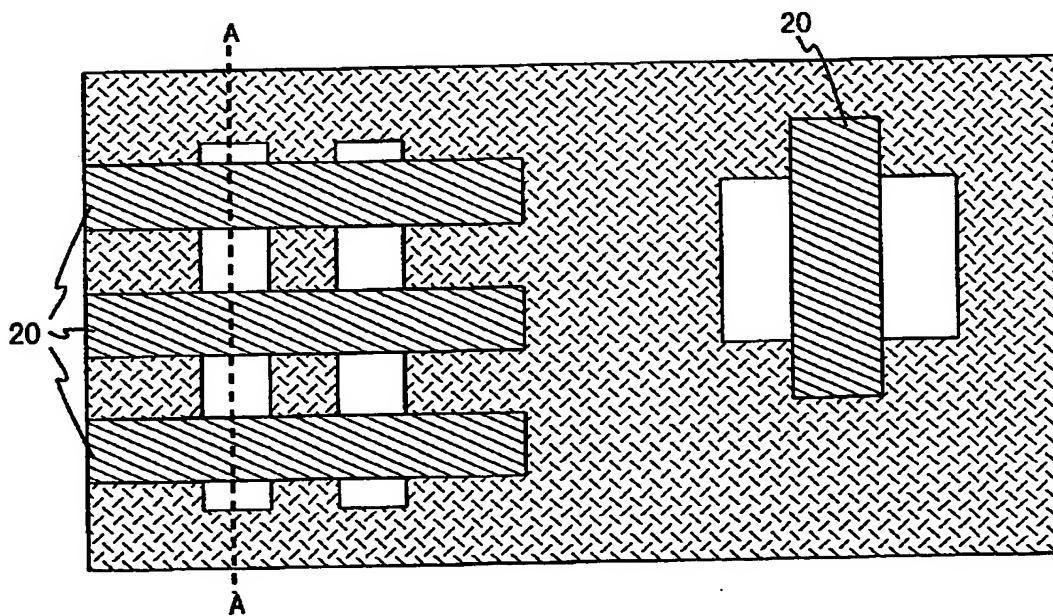
【図 27】

図 27



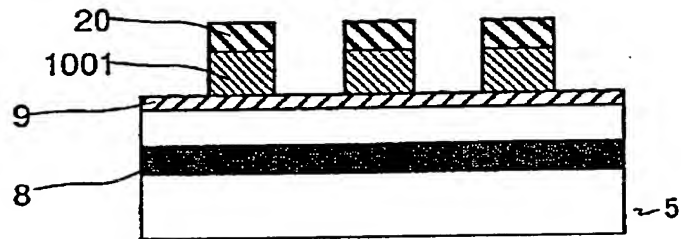
【図 28】

図 28



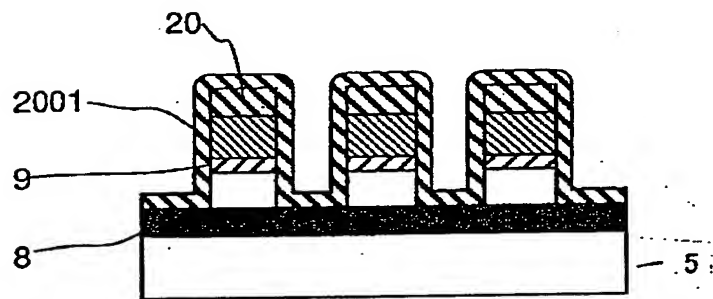
【図 2 9】

図 2 9



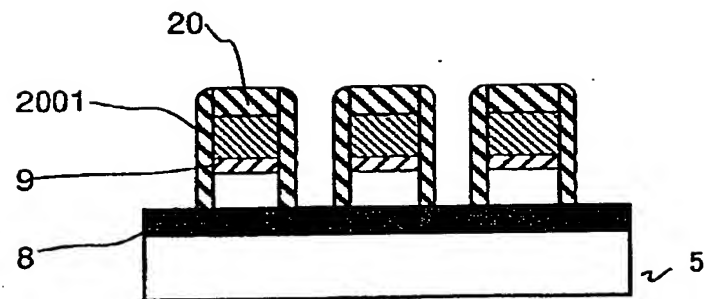
【図 3 0】

図 3 0



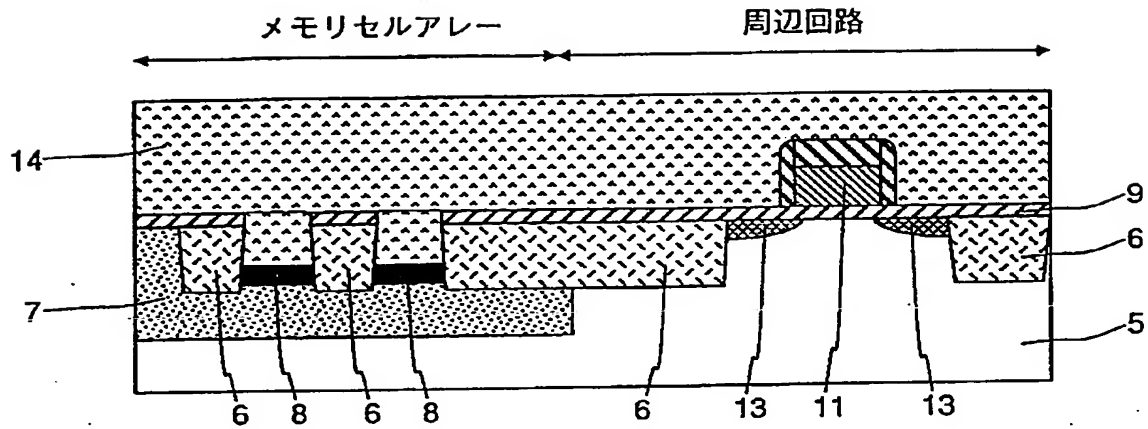
【図 3 1】

図 3 1



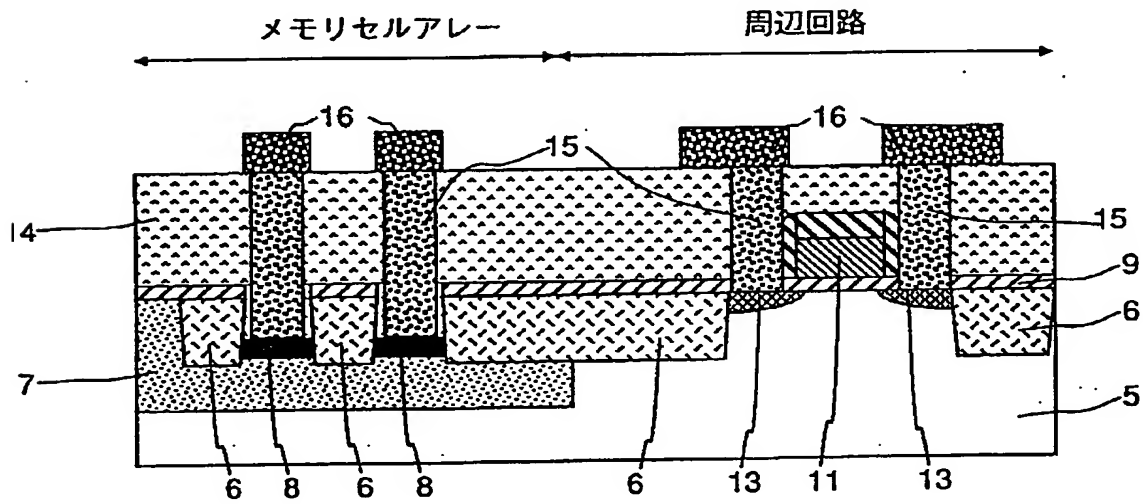
【図 3 2】

図 3 2



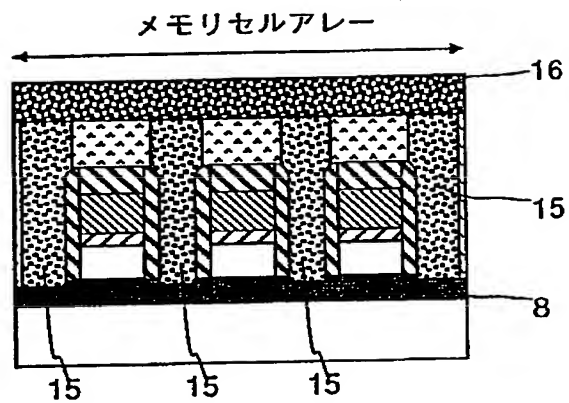
【図 3 3】

図 3 3



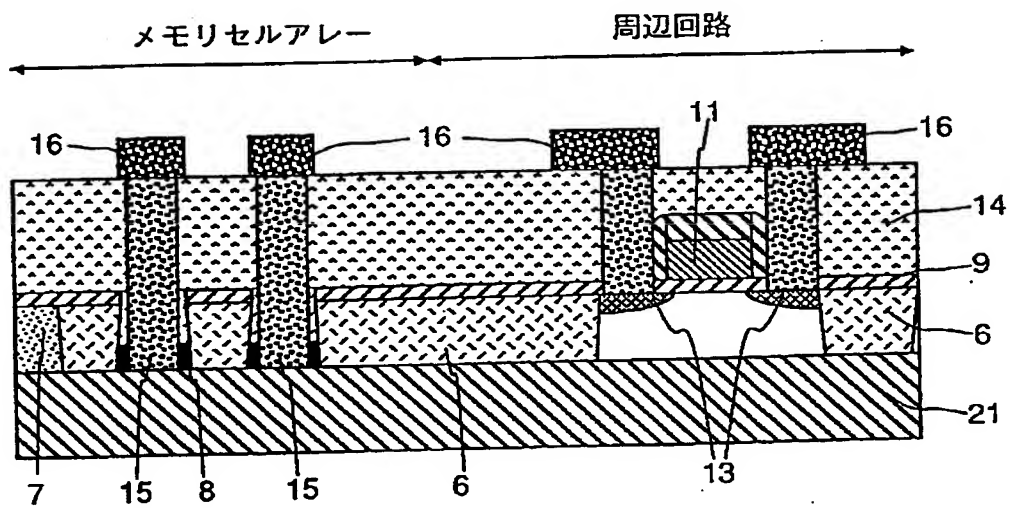
【図 3 4】

図 3 4



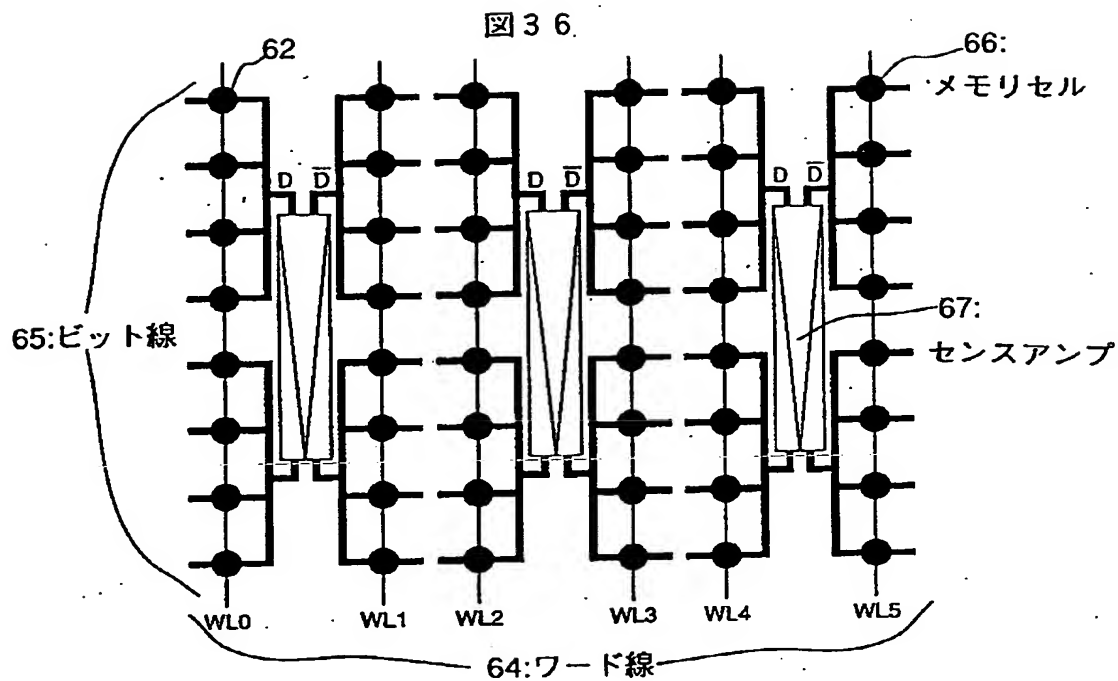
【図 3 5】

図 3 5





【図 36】



【書類名】 要約書

【要約】

【課題】 従来のDRAMのメモリセルは、スイッチとしてのトランジスタと情報電荷を蓄積するキャパシタから構成されており、微細化と共にキャパシタの高さは増大の一途をたどっている。これが製造コスト増大に直接結びく結果となっている。

【解決手段】 本願の基本構成は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレイと、前記メモリセルアレイ部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記トンネル効果を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置である。本発明は簡易な工程で形成可能な、キャパシタの不要なメモリセルである。

【選択図】 図 1 9

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

**THIS PAGE BLANK (USPTO)**